

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-261053

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H01L 29/778  
H01L 21/338  
H01L 29/812

(21)Application number : 10-057070

(71)Applicant : FURUKAWA ELECTRIC CO  
LTD:THE

(22)Date of filing : 09.03.1998

(72)Inventor : YOSHIDA KIYOTERU

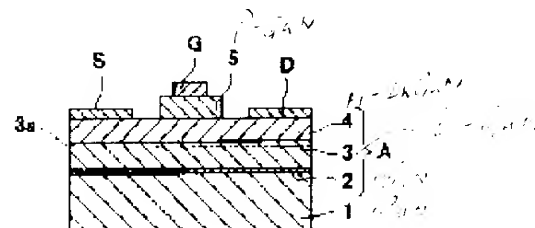
(54) HIGH ELECTRON MOBILITY TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high electron mobility transistor(HEMT) of GaN compound semiconductor where a high voltage can be applied.

SOLUTION: A laminated structure A is composed of an I-type semiconductor layer 3 and an N-type semiconductor layer 4 laminated in this sequence on a semi-insulating substrate 1, wherein the semiconductor layers are all formed of GaN compound semiconductor.

A gate electrode G is provided in the N-type semiconductor layer 4 through the intermediary of a P-type semiconductor layer 5 of GaN compound semiconductor, a source electrode S and a drain electrode D are provided direct onto the N-type semiconductor layer 4, and the P-type semiconductor layer 5 is a single-layer structure of P-type GaN layer or P-type InGaN layer or a two-layered structure composed of a P-type GaN layer and a P-type InGaN layer.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

## \* NOTICES \*

The Japanese Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] It is related with HEMT of the new structure which can operate under high-voltage impression still in detail about the high mobility transistor (HEMT) which consists of GaN system compound semiconductor of this invention.

[0002]

[Description of the Prior Art] HEMT is expected as a material of for example, a high power microwave element, and usually is manufactured at present using GaAs system compound semiconductor. For example, the thing of the structure where the source electrode and the drain electrode were loaded on 1-x layers of the n type GaAlxAs, and the gate electrode was loaded through the p type GaAs layer further, for example is known by forming an i type GaAs layer and 1-x layers of n type GaAlxAses one by one on a half-insulation substrate.

[0003] If the energy-band view at the time of  $x = 0.25$  is seen in HEMT of this structure, the hetero obstruction ( $\Delta E_c$ ) in the heterojunction interface of 0.75 layers of n mold GaAl<sub>0.25</sub>Ases and an i type GaAs layer is about 0.26eV, and is in the status that a two-dimensional electron gas layer is formed in the concerned junction interface, in the thermal equilibrium state. And by impressing the reverse-bias voltage of a predetermined value between a source electrode and a drain electrode, and impressing a forward bias voltage between a source electrode and a gate electrode From the 1-x layers of the aforementioned n type GaAlxAses, an electron is supplied to the i type GaAs layer located in the bottom of it, the supplied electron forms a two-dimensional electron gas layer by the aforementioned junction interface, an electron flows to a drain electrode in the status that it was shut up in the gas reservoir, at high speed, and HEMT operation is realized. In this case, since the electron to a gas reservoir shuts up and an effect increases, a two-dimensional electron becomes easy to realize a fast turn around, so that the field strength in directly under [ of a gate voltage ] is strong.

[0004] However, in GaAs system HEMT, the discontinuous band in a heterojunction interface is about (at the time of  $x = 0.25$ ) 0.26eV, and since the dielectric-breakdown electric-field value is about  $3 \times 10^5 \text{V/cm}$ , it has difficulty by impressing the high voltage to a gate electrode and forming the high electric field directly under it in that a fast turn around is realized. The trial production research of HEMT using GaN system compound semiconductor is recently performed for the purpose of coping with such a problem.

[0005] A hetero obstruction [ in / in this / the heterojunction interface with GaN as GaAlxN<sub>1-x</sub> ] ( $\Delta E_c$ ) is about 0.67eV. Compared with the case of GaAs system, it has about 2.6 times and a high discontinuous band, and the dielectric-breakdown electric-field value is also  $2 \times 10^6 \text{V/cm}$ . It is because the electron into a two-dimensional electron gas layer can shut up since it is large 1 figure, an effect can be raised and concentration of electrons can be theoretically enlarged about 10 times compared with GaAs system compared with the case of GaAs system.

[0006] As this GaN system HEMT, followings are manufactured using the MOCVD method, for example. That is, AlN buffer layer is first formed on the silicon on sapphire of half-insulation.

Subsequently, as a source of Ga, an i type GaN layer is formed on the aforementioned AlN buffer layer, using ammonia as trimethylgallium and a source of N, and an n type AlGaIn layer is formed on the aforementioned i type GaN layer, using a trimethylaluminum as the source of aluminum further. And after performing the photolithography and etching of a conventional method to this n type AlGaIn layer, a gate electrode, a source electrode, and a drain electrode are loaded in a predetermined part.

[0007] In this GaN system HEMT, a two-dimensional electron gas layer is formed in the heterojunction interface of an i type GaN layer and an n type AlGaIn layer, and a concrete target at the best layer of an i type GaN layer, an electron carries out the high-speed move of here, and HEMT operation is realized. In order to realize electronic high mobility at this time, it is required for this i type GaN layer for neither the impurity nor the crystal defect to exist as much as possible.

[0008]

[Problem(s) to be Solved by the Invention] However, although in the above-mentioned GaN system HEMT impression of a high voltage is possible if compared with GaAs system HEMT, it is hard to call it what demonstrates not necessarily sufficient electron mobility to the status of these days that the further fast turn around is demanded, this invention solves the above-mentioned problem in the conventional GaN system HEMT, and aims at offer of GaN system HEMT of new structure equipped with the high pressure resistance.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, it sets to this invention. The laminated structure which carries out the laminating of a i-type-semiconductor layer and the n-type-semiconductor layer in this sequence, and changes on a half-insulation substrate is formed. A gate electrode is loaded through the p type semiconductor layer which each of each aforementioned semiconductor layers consists of GaN system compound semiconductor, and consists of GaN system compound semiconductor on the aforementioned n-type-semiconductor layer. Moreover, the high mobility transistor characterized by loading the direct source electrode and the drain electrode on the aforementioned n-type-semiconductor layer, respectively. Especially, the high mobility transistor whose aforementioned p type semiconductor layer is one layer structure of a p type GaN layer or a p type InGaIn layer or the two-layer structure of carrying out the laminating of the p type InGaIn layer to a p type GaN layer, and growing into it is offered.

[0010]

[Embodiments of the Invention] Hereafter, based on the drawing 1 showing the basic structure, it explains in detail about HEMT of this invention. HEMT of this invention has the structure where laminated-structure A which consists of the buffer layer 2, the i-type-semiconductor layer 3, and the n-type-semiconductor layer 4 was formed, and gate electrode G was loaded through the p type semiconductor layer 6 on the n-type-semiconductor layer 4, and source electrode S and drain electrode D were loaded on the half-insulation substrate 1, respectively.

[0011] This HEMT is manufactured by forming the semiconductor layer of predetermined composition on the half-insulation substrate 1 by applying well-known epitaxial grown methods, such as the MOCVD method and the MOMBE method, to GaN system compound semiconductor. Here, although it is originally desirable to consist of the material which is carrying out grid matching as a half-insulation substrate 1 between each semiconductor layer which forms membranes on this, since such a material does not exist about GaN system, what is necessary is just the substrate of half-insulation materials, such as the material currently used from the former, for example, sapphire, and Si single crystal. Moreover, GaN layer is chosen as a buffer layer 2.

[0012] As a GaN system compound semiconductor which constitutes the i-type-semiconductor layer 3, i type GaN, i type InGaIn, etc. can be raised, for example. Especially i type GaN is suitable. Moreover, if it is smaller than that of high grade i type GaN which band-gap energy described above or is equivalent, i type  $\text{In}_x\text{Ga}_{1-x}\text{Al}_y\text{In}_z\text{N}$  (however,  $0 < x < 1$ ,  $0 < y < 0.2$ ) can also be used as a i-type-semiconductor layer 3.

[0013] As a GaN system compound semiconductor which constitutes the n-type-semiconductor layer 4, n type AlGaIn, n type GaN, etc. can be raised, for example. Among these, n type AlGaIn is suitable.

*AlGaN HAS HIGHER BAND GAP ENERGY THAN ALInGaIN & GaN*

Moreover, if band-gap energy is smaller than that of the above-mentioned n type AlGaN or is equivalent, n type InGa<sub>1-u</sub>Al<sub>v</sub>N (however,  $0 < u < 1$ ,  $0 < v < 0.5$ ) can also be used as a n-type-semiconductor layer.

→ [0014] As an n type dopant used for membrane formation of this n-type-semiconductor layer 4, metal Si and a disilane can be raised, for example (when forming membranes by the MOCVD method). (when forming membranes by the MBE method) When it considers loading direct source electrode S and drain electrode D on this n-type-semiconductor layer 4, in order to make an ohmic contact realize among both, it is desirable to set up dopant concentration so that it may become low resistance as much as possible. For example, when n type dopant is Si, it is made about  $[5 \times 10^{17} \text{ to } 5 \times 10^{18} \text{ cm}^{-3}]$  three concentration.

[0015] Next, as a GaN system compound semiconductor which constitutes the p type semiconductor layer 5, p type GaN and p type InGa<sub>1-u</sub>N can be raised. It is suitable for this p type semiconductor layer 5 to make it the two-layer structure of a p type GaN layer and a p type InGa<sub>1-u</sub>N layer which carries out the laminating of the p type InGa<sub>1-u</sub>N layer further, and changes on a p type GaN layer although you may consist of one layer, respectively. As a p type dopant when forming this p type semiconductor layer 5, metal Mg, magnesium cyclopentadienyl, etc. can be raised, for example (when forming membranes by the MOCVD method). (when forming membranes by the MBE method) Concentration of p type dopant at this time is made about  $[5 \times 10^{17} \text{ to } 5 \times 10^{18} \text{ cm}^{-3}]$  into three.

[0016] Ti [ Au and ]/aluminum etc. can be raised as a material which can finally raise Au / Pt, aluminum, etc. as a material which constitutes gate electrode G, and constitutes gate electrode G. As for HEMT of this structure, the bottom of gate electrode G has pn junction structure. And if voltage impression is performed from gate electrode G, specifically, two-dimensional electron gas layer 3a is formed in the best layer of the i-type-semiconductor layer 3, and the heterojunction interface of the n-type-semiconductor layer 4 and the i-type-semiconductor layer 3 and the electron supplied there from the n-type-semiconductor layer 4 will be shut up, it will flow to drain electrode D at high speed, and HEMT operation will be realized.

[0017] In this case, since it is enabled for a voltage to be controlled by little carrier injection by work of the pn junction directly under gate electrode G, and to control the current which flows between channels by the controlled voltage, it is enabled to control the aforementioned two-dimensional electron gas layer 3a by the high voltage, and the electron to two-dimensional electron gas layer 3a shuts up, it is high ineffective and an electronic high-speed move is attained.

[0018] When it has the two-layer structure of p type GaN and p type InGa<sub>1-u</sub>N which the p type semiconductor layer 5 described above especially, this laminated structure functions as one sort of quantum well structures, as a result, the tunnel current by the quantum effect comes to flow, and since a gate current becomes easy to flow, it is suitable.

[0019]

[Example] HEMT of the laminated structure shown in drawing 1 was manufactured as follows by the MOMBE method. First, as a source of Ga, as metal Ga ( $5 \times 10^{-7}$ Torr) and a source of N, dimethylhydrazine ( $5 \times 10^{-5}$ Torr) was used, it grew epitaxially at the growth temperature of 640 degrees C, and GaN buffer layer 2 of thickness 500\*\* was formed on Si single crystal substrate 1 of half-insulation.

[0020] Subsequently, the source of N was switched to ammonia ( $5 \times 10^{-5}$ Torr), it grew epitaxially by having gone up growth temperature at 850 degrees C, and the i type GaN layer 3 of thickness 5000\*\* was formed. In addition, the carrier concentration at this time set up membrane formation conditions so that it might become three or less  $[5 \times 10^{16} \text{ cm}^{-3}]$ .

[0021] Subsequently, metal aluminum ( $2 \times 10^{-7}$ Torr) was supplied, and metal Si ( $2 \times 10^{-9}$ Torr) was supplied as an n type dopant, epitaxial growth was continued at the growth temperature of 850 degrees C, and thickness formed the n type AlGaN layer 4 of 500\*\*. At this time, carrier concentration set up membrane formation conditions so that it might be set to  $1 \times 10^{18} \text{ cm}^{-3}$ . Subsequently, supply of metal Si was severed, as a p type dopant, metal Mg ( $5 \times 10^{-9}$ Torr) was supplied, membrane formation operation was continued, and the p type GaN layer 6 of thickness 500\*\* was formed on the aforementioned n type AlGaN layer 4. At this time, carrier concentration set up membrane formation conditions so that it might

be set to  $1 \times 10^{18} \text{cm}^{-3}$ .

[0022] Subsequently, what plasma-ized the mixed gas of hydrogen, an argon, and methane was made into etchant, dry etching was performed, the etching elimination of the p type GaN layers other than the part which should load a gate electrode was carried out, and the n type InGaN layer 4 was made to express. Then, the whole front face was covered. SiO<sub>2</sub> layer was formed by the plasma CVD method, after carrying out patterning by the photoresist, the fraction containing the part which should load a gate electrode was masked, opening of the part which should load a source electrode and a drain electrode was carried out, and it loaded source electrode S and drain electrode D by carrying out the vacuum evaporation of the metal aluminum on the n type InGaN layer 4 expressed there.

[0023] After having carried out the etching elimination of the last and the aforementioned masking, having carried out opening of the SiO<sub>2</sub> layer under it and masking the part of source electrode S and drain electrode G by SiO<sub>2</sub> layer, HEMT which carried out the vacuum evaporation of the Au to the above-mentioned opening, loaded gate electrode G on the p type GaN layer 5, and was shown in drawing 1 was manufactured. As for this HEMT, HEMT property that a drain current ( $I_{ds}$ ) is saturated with 3V in the applied voltage from a gate voltage 60mA and more than drain voltage 2V was acquired. That is, even if these saturation characteristics raised  $V_{ds}$  to 100V, they maintained the constant value and did not lose the function as HEMT.

[0024] The mobility of this HEMT structure under a room temperature is  $600 \text{cm}^2/\text{V}$  and sec. and the mobility of 77K showed  $7500 \text{cm}^2/\text{V}$ , and sec and a good value.

[0025]

[Effect of the Invention] Even if GaN system HEMT of this invention raises a gate electrode to V, it cannot cause failure and can carry out a fast turn around compared with the conventional GaN system HEMT, so that clearly [ in the above explanation ]. This is an effect which it brings that the two-dimensional electron gas layer in which between a gate electrode and channel layers is made into pn junction structure, an electron shuts up in the junction interface of a i-type-semiconductor layer and a n-type-semiconductor layer, and the effect is excellent was formed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261053

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/778

21/338

29/812

識別記号

F I

H 0 1 L 29/80

H

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平10-57070

(22) 出願日 平成10年(1998) 3月9日

(71) 出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72) 発明者 吉田 清輝

東京都千代田区丸の内2丁目6番1号 古

河電気工業株式会社内

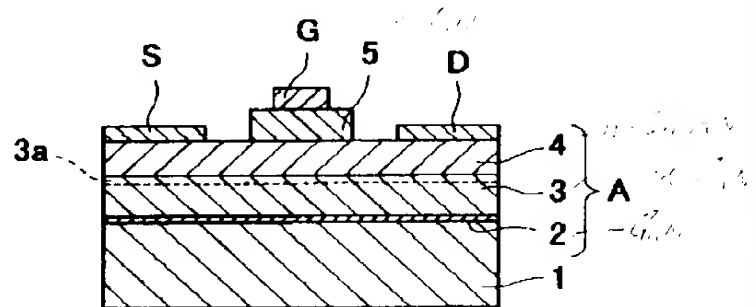
(74) 代理人 弁理士 長門 侃二

(54) 【発明の名称】 高移動度トランジスタ

(57) 【要約】

【課題】 GaN系化合物半導体から成り、高圧印加が可能な高移動度トランジスタ (HEMT) を提供する。

【解決手段】 半絶縁性基板1の上に、i型半導体層3、n型半導体層4をこの順序で積層して成る積層構造1Aが形成され、各半導体層はいずれもGaN系化合物半導体から成り、n型半導体層4の上にはGaN系化合物半導体から成るp型半導体層5を介してゲート電極Gが装荷され、またn型半導体層4の上には直接ソース電極Sとドレイン電極Dがそれぞれ装荷されており、p型半導体層5が、p型GaN層もしくはp型InGaN層の1層構造、またはp型GaN層にp型InGaN層を積層して成る2層構造である。



## 【特許請求の範囲】

【請求項1】 半絶縁性基板の上に、i型半導体層、n型半導体層をこの順序で積層して成る積層構造が形成され、前記各半導体層はいずれもGa<sub>x</sub>N系化合物半導体から成り、前記n型半導体層の上にはGa<sub>x</sub>N系化合物半導体から成るp型半導体層を介してゲート電極が装荷され、また前記n型半導体層の上には直接ソース電極とドレイン電極がそれぞれ装荷されていることを特徴とする高移動度トランジスタ。

【請求項2】 前記p型半導体層が、p型Ga<sub>x</sub>N層もしくはp型InGa<sub>x</sub>N層の1層構造、またはp型Ga<sub>x</sub>N層にp型InGa<sub>x</sub>N層を積層して成る2層構造である請求項1の高移動度トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明のGa<sub>x</sub>N系化合物半導体から成る高移動度トランジスタ（HEMT）に関し、更に詳しくは、高電圧印加の下で作動できる新規な構造のHEMTに関する。

## 【0002】

【従来の技術】HEMTは、例えば高出力マイクロ波素子の素材として期待されていて、現在ではGaAs系化合物半導体を用いて製造されているのが通例である。例えば、半絶縁性基板の上にi型GaAs層とn型GaAl<sub>1-x</sub>As<sub>1-x</sub>層を順次成膜し、そしてそのn型GaAl<sub>1-x</sub>As<sub>1-x</sub>層の上に、ソース電極とドレイン電極が装荷され、更に例えばp型GaAs層を介してゲート電極が装荷された構造のものが知られている。

【0003】この構造のHEMTの場合、 $x=0.25$ のときのエネルギーバンド図をみると、n型GaAl<sub>0.25</sub>As<sub>0.75</sub>層とi型GaAs層のヘテロ接合界面におけるヘテロ障壁（ $\Delta E_c$ ）は約0.26eVになっていて、熱平衡状態においては、当該接合界面に2次元電子ガス層が形成される状態になっている。そして、ソース電極とドレイン電極の間に所定値の逆バイアス電圧を印加し、またソース電極とゲート電極の間に順バイアス電圧を印加することにより、前記n型GaAl<sub>1-x</sub>As<sub>1-x</sub>層からはその下に位置するi型GaAs層へ電子が供給され、供給された電子は前記接合界面で2次元電子ガス層を形成し、そのガス層内に閉じ込められた状態で電子はドレイン電極へと高速で流れてHEMT動作を実現する。その場合、ゲート電圧の直下における電界強度が強いほど、2次元電子がガス層への電子の閉じ込め効果は高まるので、高速動作は実現しやすくなる。

【0004】しかしながら、GaAs系HEMTの場合、ヘテロ接合界面における不連続バンドは0.26eV程度（ $x=0.25$ のとき）であり、その絶縁破壊電界値は $3 \times 10^5$  V/cm程度であるため、ゲート電極に高電圧を印加してその直下に高電界を形成することにより高速動作を実現するという点で難がある。このような問題

に対処することを目的として、最近、Ga<sub>x</sub>N系化合物半導体を用いたHEMTの試作研究が行われている。

【0005】これは、GaAl<sub>1-x</sub>Ni<sub>x</sub>とGa<sub>x</sub>Nとのヘテロ接合界面におけるヘテロ障壁（ $\Delta E_c$ ）は約0.67eVであり、GaAs系の場合に比べて約2.6倍と高い不連続バンドを有し、またその絶縁破壊電界値も $2 \times 10^6$  V/cmであり、GaAs系の場合に比べて1桁大きいので2次元電子ガス層内への電子の閉じ込め効果を高めることができ、理論的には、GaAs系に比べて電子濃度を10倍程度大きくすることができるからである。

【0006】このGa<sub>x</sub>N系HEMTとしては、例えば次のようなものがMOCVD法を用いて製造されている。すなわちまず、半絶縁性のサファイア基板の上に、AlNバッファ層が成膜される。ついで、Ga源としてトリメチルガリウム、N源としてアンモニアを用いて前記AlNバッファ層の上にi型Ga<sub>x</sub>N層が成膜され、更にトリメチルアルミニウムをAl源として前記i型Ga<sub>x</sub>N層の上にn型AlGa<sub>x</sub>N層が成膜される。そして、このn型AlGa<sub>x</sub>N層に対して常法のホトリソグラフィとエッチングを行ったのち、所定の箇所にゲート電極、ソース電極、およびドレイン電極が装荷される。

【0007】このGa<sub>x</sub>N系HEMTの場合、i型Ga<sub>x</sub>N層とn型AlGa<sub>x</sub>N層のヘテロ接合界面、具体的にはi型Ga<sub>x</sub>N層の最上層に2次元電子ガス層が形成され、ここを電子が高速移動してHEMT動作を実現する。このとき、電子の高移動度を実現するためには、このi型Ga<sub>x</sub>N層には不純物や結晶欠陥が極力存在していないことが必要である。

## 【0008】

【発明が解決しようとする課題】しかしながら、上記したGa<sub>x</sub>N系HEMTの場合、GaAs系HEMTに比べれば高い電圧の印加は可能であるが、更なる高速動作が要求されている昨今の状況に対しては必ずしも十分な電子移動度を発揮するものとはいえない。本発明は従来のGa<sub>x</sub>N系HEMTにおける上記した問題を解決し、高耐圧性を備えている新規構造のGa<sub>x</sub>N系HEMTの提供を目的とする。

## 【0009】

【課題を解決するための手段】上記した目的を達成するために、本発明においては、半絶縁性基板の上に、i型半導体層、n型半導体層をこの順序で積層して成る積層構造が形成され、前記各半導体層はいずれもGa<sub>x</sub>N系化合物半導体から成り、前記n型半導体層の上にはGa<sub>x</sub>N系化合物半導体から成るp型半導体層を介してゲート電極が装荷され、また前記n型半導体層の上には直接ソース電極とドレイン電極がそれぞれ装荷されていることを特徴とする高移動度トランジスタ、とくに、前記p型半導体層が、p型Ga<sub>x</sub>N層もしくはp型InGa<sub>x</sub>N層の1層構造、またはp型Ga<sub>x</sub>N層にp型InGa<sub>x</sub>N層を積層して成る2層構造である高移動度トランジスタが提供さ



れる。

#### 【0010】

【発明の実施の形態】以下、本発明のHEMTにつき、その基本構造を示す図1に基づいて詳細に説明する。本発明のHEMTは、半絶縁性基板1の上に、バッファ層2、i型半導体層3、n型半導体層4から成る積層構造Aが形成され、n型半導体層4の上には、p型半導体層6を介してゲート電極Gが装荷され、また、ソース電極S、ドレイン電極Dがそれぞれ装荷された構造になっている。

【0011】このHEMTは、GaN系化合物半導体に対してMOCVD法やMOMBE法など公知のエピタキシャル成長法を適用することにより、半絶縁性基板1の上に所定組成の半導体層を成膜していくことによって製造される。ここで、半絶縁性基板1としては、この上に成膜していく各半導体層との間で格子整合している材料から成ることが本来は好ましいが、GaN系に関してはそのような材料は存在しないので、従来から使用されている材料、例えばサファイア、Si単結晶などの半絶縁性材料の基板であればよい。また、バッファ層2として

【0012】i型半導体層3を構成するGaN系化合物半導体としては、例えば、i型GaN、i型InGaNなどをあげることができる。とくに、i型GaNは好適である。また、バンドギャップエネルギーが上記した高純度なi型GaNのそれよりも小さいかまたは同等であれば、i型 $\text{In}_x\text{Ga}_{1-x}\text{Al}_y\text{N}$ （ただし、 $0 < x < 1$ 、 $0 < y < 0.2$ ）をi型半導体層3として用いることもできる。

【0013】n型半導体層4を構成するGaN系化合物半導体としては、例えば、n型AlGaN、n型GaNなどをあげることができる。これらのうち、n型AlGaNは好適である。また、バンドギャップエネルギーが上記n型AlGaNのそれよりも小さいかまたは同等であれば、n型 $\text{In}_u\text{Ga}_{1-u}\text{Al}_v\text{N}$ （ただし、 $0 < u < 1$ 、 $0 < v < 0.5$ ）をn型半導体層として用いることもできる。

【0014】このn型半導体層4の成膜に用いるn型ドーパントとしては、例えば金属Si（MBE法で成膜する場合）やジシラン（MOCVD法で成膜する場合）をあげることができる。このn型半導体層4の上には直接ソース電極Sとドレイン電極Dを装荷することを考えると、両者間でオーミック接触を実現させるため、できるだけ低抵抗となるようにドーパント濃度を設定することが好ましい。例えばn型ドーパントがSiである場合には、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{cm}^{-3}$ 程度の濃度にする。

【0015】次に、p型半導体層5を構成するGaN系化合物半導体としては、p型GaN、p型InGaNをあげることができる。このp型半導体層5は、p型GaN層、p型InGaN層のそれぞれ1層から成っていて

もよいが、p型GaN層の上に更にp型InGaN層を積層して成る2層構造にすることが好適である。このp型半導体層5を成膜するときのp型ドーパントとしては、例えば金属Mg（MBE法で成膜する場合）やシクロペンタジエニルマグネシウム（MOCVD法で成膜する場合）などをあげることができる。このときのp型ドーパントの濃度は $5 \times 10^{17} \sim 5 \times 10^{18} \text{cm}^{-3}$ 程度にする。

【0016】最後に、ゲート電極Gを構成する材料としては例えばAu/Pt、Alなどをあげることができ、またゲート電極Gを構成する材料としては例えばAu、Ti/Alなどをあげることができる。この構造のHEMTは、ゲート電極Gの下がpn接合構造になっている。そして、ゲート電極Gから電圧印加を行うと、n型半導体層4とi型半導体層3のヘテロ接合界面、具体的には、i型半導体層3の最上層部に2次元電子ガス層3aが形成され、そこにn型半導体層4から供給された電子が閉じ込められ、高速でドレイン電極Dへ流れてHEMT動作を実現する。

【0017】その場合、ゲート電極G直下のpn接合の働きにより少量のキャリア注入で電圧が制御され、かつ制御された電圧によってチャネル間を流れる電流を制御することが可能になるので、前記2次元電子ガス層3aを高電圧で制御することが可能になり、2次元電子ガス層3aへの電子の閉じ込め効果も高くなって電子の高速移動が可能になる。

【0018】とくに、p型半導体層5が前記したp型GaNとp型InGaNの2層構造になっている場合には、この積層構造が1種の量子井戸構造として機能し、その結果、量子効果によるトンネル電流が流れるようになり、ゲート電流は流れやすくなるので好適である。

#### 【0019】

【実施例】図1で示した積層構造のHEMTをMOMBE法により次のようにして製造した。まず、半絶縁性のSi単結晶基板1の上に、Ga源として金属Ga（ $5 \times 10^{-7} \text{Torr}$ ）、N源としてジメチルヒドラジン（ $5 \times 10^{-5} \text{Torr}$ ）を用い、成長温度 $640^\circ\text{C}$ でエピタキシャル成長を行い、厚み50ÅのGaNバッファ層2を成膜した。

【0020】ついで、N源をアンモニア（ $5 \times 10^{-5} \text{Torr}$ ）に切り換え、成長温度を $850^\circ\text{C}$ に上昇してエピタキシャル成長を行い、厚み5000Åのi型GaN層3を成膜した。なお、このときのキャリア濃度は $5 \times 10^{16} \text{cm}^{-3}$ 以下となるように成膜条件を設定した。

【0021】ついで、金属Al（ $2 \times 10^{-7} \text{Torr}$ ）を供給し、またn型ドーパントとして金属Si（ $2 \times 10^{-9} \text{Torr}$ ）を供給し、成長温度 $850^\circ\text{C}$ でエピタキシャル成長を継続して、厚みが500Åのn型AlGaN層4を成膜した。このとき、キャリア濃度は $1 \times 10^{18} \text{cm}^{-3}$ となるように成膜条件を設定した。ついで、金属Siの供

5

給を絶ち、p型ドーパントとして金属Mg ( $5 \times 10^{-9}$  Torr) を供給して成膜操作を続け、前記n型AlGaIn層4の上に厚み500Åのp型GaIn層6を成膜した。このとき、キャリア濃度は $1 \times 10^{18} \text{cm}^{-3}$ となるように成膜条件を設定した。

【0022】ついで、水素とアルゴンとメタンの混合ガスをプラズマ化したものをエッチャントにしてドライエッチングを行い、ゲート電極を装荷すべき箇所以外のp型GaIn層をエッチング除去してn型InGaIn層4を

表出させた。その後、全体の表面を被覆してSiO<sub>2</sub>膜をプラズマCVD法で成膜し、ホトレジストでパターンニングしたのちゲート電極を装荷すべき箇所を含む部分をマスキングし、ソース電極とドレイン電極を装荷すべき箇所は開口し、そこに表出したn型InGaIn層4の上

に、金属Alを蒸着することにより、ソース電極Sとドレイン電極Dを装荷した。

【0023】最後、前記マスキングをエッチング除去し、その下のSiO<sub>2</sub>膜を開口し、ソース電極Sとドレイン電極Gの箇所をSiO<sub>2</sub>膜でマスキングしたのち、上記開口部にAuを蒸着してp型GaIn層5の上にはゲ

ート電極Gを装荷して図1で示したHEMTを製造した。このHEMTは、ゲート電圧からの印加電圧を3Vでドレイン電流(I<sub>ds</sub>)が60mA、ドレイン電圧2V以上で飽和するHEMT特性が得られた。すなわち、この飽和特性はV<sub>ds</sub>を100Vまであげても一定値を保ち、HEMTとしての機能を喪失することはない。

6

【0024】室温下でのこのHEMT構造の移動度は、 $600 \text{cm}^2/\text{V} \cdot \text{sec}$ であり、77Kでの移動度は $7500 \text{cm}^2/\text{V} \cdot \text{sec}$ と良好な値を示した。

【0025】

【発明の効果】以上の説明で明らかなように、本発明のGaIn系HEMTは、ゲート電極をVまで高めても故障を起こすことがなく、従来のGaIn系HEMTに比べて高速動作をすることができる。これは、ゲート電極とチャネル層との間をpn接合構造とし、i型半導体層とn型半導体層との接合界面に電子の閉じ込め効果が優れている2次元電子ガス層が形成されるようにしたことによる効果である。

【図面の簡単な説明】

【図1】本発明のHEMTの層構造を示す断面図である。

【符号の説明】

- 1 半絶縁性基板
- 2 バッパ層 (GaIn層)
- 3 i型半導体層 (i型GaIn層)
- 3a 2次元電子ガス層
- 4 n型半導体層 (n型InGaIn層)
- 5 p型半導体層 (p型GaIn層)
- S ソース電極
- G ゲート電極
- D ドレイン電極

【図1】

